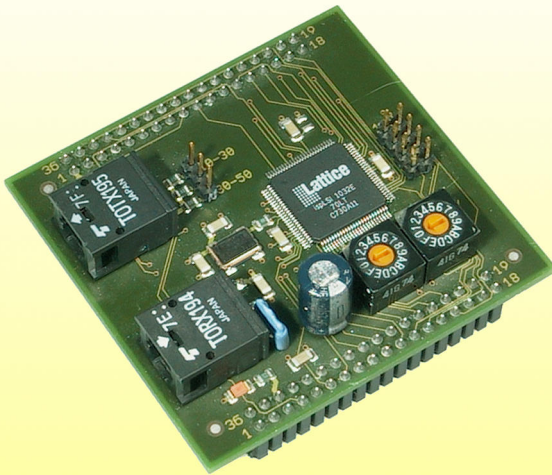


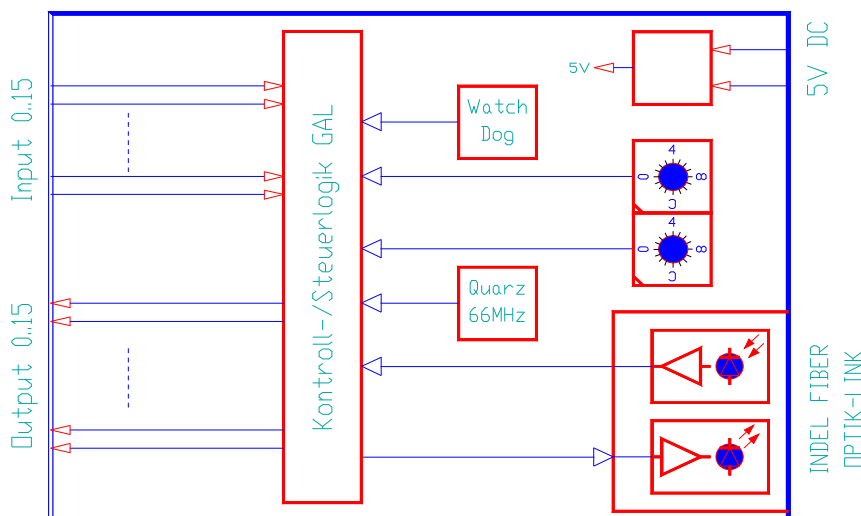
Digital Interface

INFO-TTL



Die INFO-TTL ist ein universell einsetzbares digitales I/O-Modul. Die Karte beinhaltet 16 Eingänge und 16 Ausgänge mit TTL-Pegel. Es sind zwei verschiedene Ausführungen erhältlich: Ein bidirektionales Port mit Steuerleitungen, oder 16 separate Ein- und Ausgänge. Das Modul ist als Aufsatz

für Printmontage konzipiert. Durch umprogrammieren der GAL-Logik können zusätzliche Funktionen eingebaut werden; z.B. Interrupt Ein- und Ausgänge. Mit dem INFO-TTL Modul existiert somit eine sehr flexible und kostengünstige Schnittstelle zwischen bestehenden Fremdgeräten und den INFO-Link.



Technische Daten

Eingänge

- 16 Eingänge
- 5V, TTL
- maximal 4'000 Eingänge pro INFO-Link
- Steuerleitung: Busy

Ausgänge

- 16 Ausgänge
- 5V, TTL
- maximal 4'000 Ausgänge pro INFO-Link
- Steuerleitung: Data Valid

Parallel Port

- bidirektionale Schnittstelle mit WR, OE, CS-Steuerleitungen
- 16 Bit Datenwort, TTL-Pegel

Bauformen

- zwei unterschiedliche Layouts: verschiedene Anordnung der INFO-Link Sender-Empfänger Bausteine.

Bestell-Nr. INFO-TTL 609724201
Bestell-Nr. INFO-TTL 609724201-AMK
Bestell-Nr. INFO-ZLK 609724201

INFO-TTL

Funktion

Mit der INFO-TTL Karte werden 16 TTL Eingänge erfasst. Gleichzeitig können 16 TTL Ausgänge angesteuert werden. Das Modul kann in gewissen Grenzen mit zusätzlichen oder anderen Funktionen erweitert werden.

Der Ausgang "LED" (Pin 31 auf Stecker 2) gibt den Status der gelben LED Link Receiver Signal OK wieder.

Folgende zwei Variationen sind bereits implementiert:

16- Ein- Ausgänge

In der Version mit 16 separaten Ein- und Ausgängen stellt das Modul zwei Steuerleitungen zur Verfügung. (Siehe Timing-Diagramm Seite 4)

Busy-Signal

Während das Busy-Signal aktiv (low) ist, darf nicht in das Eingangsregister geschrieben werden. Andernfalls können ungültige Werte eingelesen werden.

Data Valid

Das DVal-Signal wird für 180ns aktiviert (high) wenn neue Daten im Ausgangsregister anliegen.

Parallel Port

Als parallel Port wird das Modul mit den Steuerleitungen WR, OE, CS angesprochen. (Siehe Timing-Diagramm Seite 5)

Softwaremässig verhält sich die Karte wie eine INFO-4kp. Weitere Angaben finden Sie in der Software-Betriebsanleitung im INFO-Ordner.

- CEn Regler Freigabe
- QRF Quittierung Regler Freigabe
- Syn Synchfahrt starten
- SyEr Synchposition erreicht
- NP Null Impuls

Digital Interface

Stecker-Belegungen

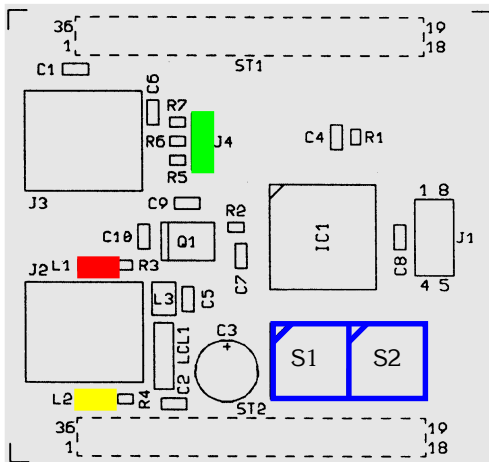
Stecker 1
36 Pin-Stiftleiste
zweireihig

1	I	+5V		+5V	I	36
2	I	In0		WR	I	35
3	I	In1		OE	I	34
4	I	In2		CS	I	33
5	I	In3		Gnd	I	32
6	I	In4		Gnd	I	31
7	I	In5		Gnd	I	30
8	I	In6		Gnd	I	29
9	I	In7		Gnd	I	28
10	I	In8		Gnd	I	27
11	I	In9		Gnd	I	26
12	I	In10		Gnd	I	25
13	I	In11		Gnd	I	24
14	I	In12		Gnd	I	23
15	I	In13		Gnd	I	22
16	I	In14		Gnd	I	21
17	I	In15		Gnd	I	20
18	I	Gnd		Gnd	I	19

Stecker 2
36 Pin-Stiftleiste
zweireihig

1	I	+5V		+5V	I	36
2	I	+5V		+5V	I	35
3	I	+5V		+5V	I	34
4	O	Out0		Busy	O	33
5	O	Out1		DVal	O	32
6	O	Out2		LED	O	31
7	O	Out3		CEn	O	30
8	O	Out4		QRF	I	29
9	O	Out5		Syn	O	28
10	O	Out6		SyEr	I	27
11	O	Out7		NP	I	26
12	O	Out8		Out15	O	25
13	O	Out9		Out14	O	24
14	O	Out10		Out13	O	23
15	O	Out11		Out12	O	22
16	I	Gnd		Gnd	I	21
17	I	Gnd		Gnd	I	20
18	I	Gnd		Gnd	I	19

Bestückung



Adressierung INFO-TTL (blau)

Die INFO-TTL/ZLK belegt eine I/O-Karte (INFO-16p) im INFO-DualPort RAM.

S2(0Y),S1(X0)	I/O-Karte
0 0	0
0 1	1
0 2	2
1 0	16
1 1	17
0F 0F	255

Adressierung INFO-TTL AMK (blau)

Die INFO-TTL-AMK belegt einen Kanal einer INFO-4KP Karte.

S2(0Y),S1(X0)	4KP Karte	Kanal
0 0	0	0
0 1	0	1
0 2	0	2
0 3	0	3
1 0	1	0
1 1	1	1

LEDs am Receiver Modul

LED-Rot = +5V Speisung
LED-Gelb = INFO-Link Receiver-Signal OK

Sendeleistungs Jumper (grün)

Die Jumper beeinflussen die Leuchtstärke der Sende-LED und damit die Segmentlänge des Fiberkabels bis zur nächsten Karte.

Segment-Länge	Jumper-Position
0 ... 10m	kein Jumper
8 ... 30m	>10
20 ... 50m	>30

Spezifikationen

Speisung

- +5V, 250mA max.
- keine galvanische Trennung

Klimatische Bedingungen

- Umgebungstemperatur:
Lager: -20...+80°C
Betrieb: 0 ... +45°C
- Kartentemperatur:
Betrieb: 0...+65 °C
- Relative Luftfeuchtigkeit
keine Kondensation: 95%

Eingänge

- 16 Eingänge
- 5V, TTL
- keine galvanische Trennung

Ausgänge

- 16 TTL-Ausgänge
- keine galvanische Trennung

Montage

- Printmontage
- Abmessungen:
63.5 x 60 x 15mm (LxBxH)

Bauformen

Das INFO-TTL Modul ist in zwei Layout-Ausführungen erhältlich:

Einerseits die oben skizzierte Variante mit den untereinander angeordneten Sender- Empfänger Bausteinen; andererseits mit gegenüberliegenden Sender- Empfänger Bausteinen. (Empfänger vis-à-vis Sender).

Fragen Sie nach dem INFO-ZLK Modul.

Kundenspezifische Modifikationen sind jederzeit erhältlich.

INFO-TTL

Digital Interface

TTL-Interface

INFO-TTL **97242**
INFO-ZLK **97257**

Das TTL-Interface verwendet Pin 2 ... 17 (Stecker 1) als Eingangssignale und Pin 4 ... 15, 22 ... 25 (Stecker 2) als Ausgangssignale.

Die Input-Schnittstelle der des INFO-TTL Moduls stellt ein Busy-Signal zur Verfügung.

Während Busy aktiv (low) darf das Input-Wort nicht verändert werden.

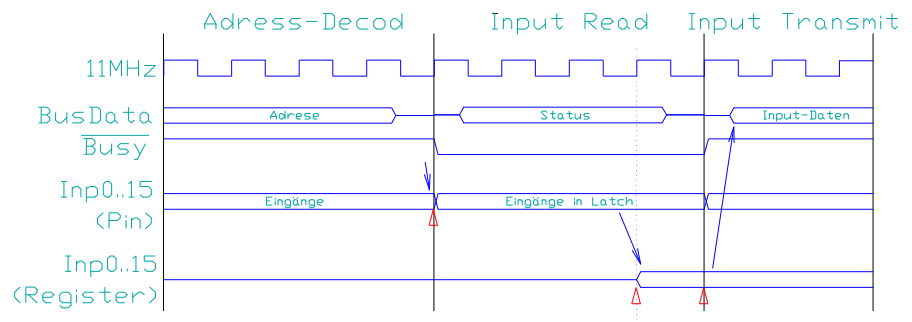
Drei Taktzyklen nach Busy aktiv werden die Eingänge eingelesen und über den Bus übertragen.

Das Signal DVal (aktiv high) liegt während 180ns an wenn neue gültige Ausgangswerte anliegen.

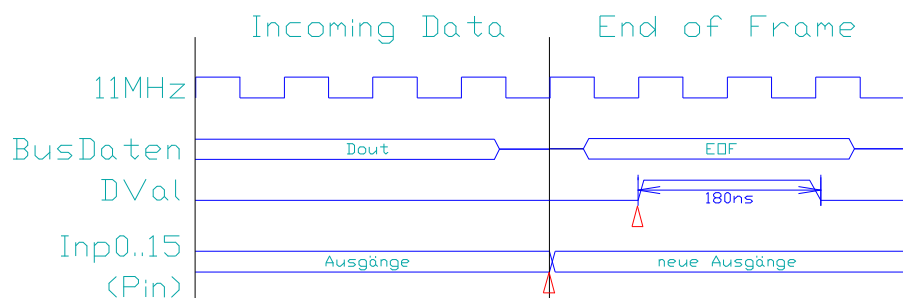
Werden falsche Daten empfangen (Störungen), bleibt der letzte korrekt empfangene Wert erhalten.
Bei Link Down fallen alle Ausgänge ab.

Timing Diagramm

TTL-Interface: Timing Eingänge

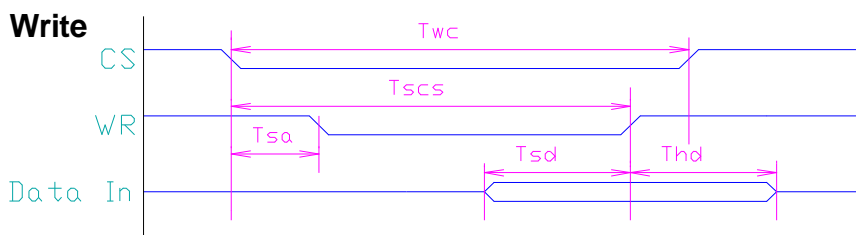
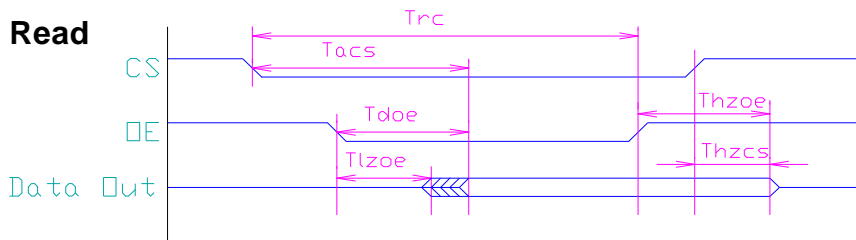


TTL-Interface: Timing Ausgänge

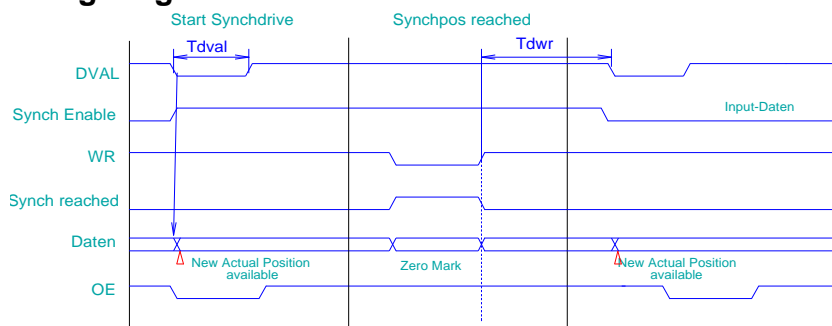


Timing Diagramm

Parallel Port



Timing Diagram



INFO-TTL 97242-AMK

Der Parallel Port verwendet Pin 2 ... 15 von Stecker 1 als bidirektionale I/O-Signale. Die Output-Signale von Stecker 2 werden nicht benötigt.

Read Zyklen mit fixverdrahteten CS, OE = low Signalen sind nicht zulässig.

Die Logik im GAL kann in diesem Fall keine aktuellen Werte ins Output-Register laden.

Mindestens eine der CS, OE-Steuerleitungen muss nach dem Read Zyklus angehoben werden.

Zwischen zwei Read-Zyklen müssen mindestens 500ns vergehen.

Zwischen zwei Write Zyklen müssen mindestens 400ns vergehen, ansonsten kann das GAL die Input-Werte nicht übernehmen.

Das Signal "Synch_erreicht" muss hochsynchron mit der Null Position übergeben werden. Die Null Position muss unbedingt mit dem "Synch_erreicht" Signal im selben Telegramm übertragen werden.

Damit beim WR-Zyklus die aktuellen Ist-Daten noch übertragen werden können ist die Zeit Tdwr von 4µs vor dem Signal DVAL nötig.

Read Cycle		Min	Max	Unit
Trc	Read Cycle Time	50		ns
Tacs	CS low to Data Valid		10	ns
Tdoe	OE low to Data Valid		10	ns
Tlzo	OE low to Data out Start	10		ns
Thzoe	OE high to Data Line Tri-State		10	ns
Thzcs	CS high to Data Line Tri-State		10	ns

Write Cycle		Min	Max	Unit
Twc	Write Cycle Time	50		ns
Tscs	CS low to Write End	50		ns
Tsa	Address, CS Set Up to Write Start	0		ns
Tsd	Data Set-Up to Write End	8		ns
Thd	Data Hold From Write End	0		ns
Tdwr	Data write	4		µs